

2001-274288

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274288

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 23/12

H01R 33/76

H05K 1/18

(21)Application number : 2001-017512 (71)Applicant : INTERNATL BUSINESS
MACH CORP <IBM>

(22)Date of filing : 25.01.2001 (72)Inventor : TIMOTHY F GARDEN
TODD W DAVIS
ROSS W KEITHLER
ROBERT D SEBESUTA
DAVID B STONE
SHERRILL
TEITORAN-PAROMAKI

L

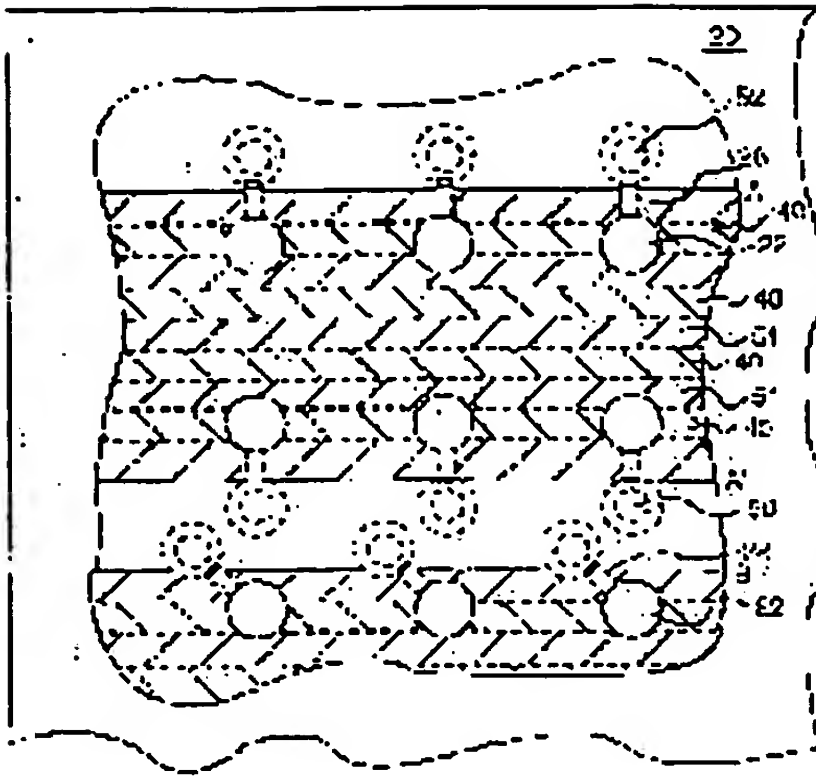
(30)Priority

Priority number : 2000 506951 Priority date : 18.02.2000 Priority country : US

(54) INTEGRATED CIRCUIT CHIP CARRIER STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability and the manufacturing yield of the product of an integrated circuit chip carrier, by laying based on a new design method signal wirings which are routed from a semiconductor chip through a multilayer chip carrier, and by increasing the width of each signal wiring.



SOLUTION: In a chip carrier 20 for mounting thereon a high density integrated circuit chip, while contact pads (i.e., micro-via holes) 22 whereby the chip and external circuits are interconnected electrically are provided by a first layout pattern, plated through holes (i.e., through via holes) 50, 52 are provided by a second layout pattern whose layout space is made larger than the one of the first layout pattern of the contact pads 22. Thereby, since the width of a wiring channel 51 provided between through holes 50, 52 in the chip carrier 20 is

increased, the width of each signal trace 40 laid in the wiring channel 51 can be increased.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Generally this invention relates to attaching an integrated circuit device in a printed circuit board. Especially this invention relates to attaching a semiconductor integrated circuit (IC) chip in a printed circuit board using the integrated-circuit-chip carrier which provides all of connection of a signal line and connection of the power line.

[0002]

[Description of the Prior Art] When the integrated circuit chip is already attached in the integrated-circuit-chip carrier, it is easy to include an integrated circuit chip in the operating environment of a schedule. A typical chip carrier offers the interface between an integrated circuit chip and the circuit board (part shared on the boundary of two components) by having the electric interconnect to an off chip (off-chip), i.e., external equipment.

[0003] An organic substrate came to be used for a chip carrier. As for the organic substrate, development is continued for [many] applications. Since the price fell while the electrical order improved, the organic substrate is expected to be the thing replaced with a ceramic substrate, especially the thing to replace in the field of a chip carrier. However, although a semiconductor chip and a printed circuit board are interconnected within electronic packaging, if the multilayer interconnect structures, such as an organic chip carrier, are used, many difficult problems will be invited. One of these difficult problems is a point with it difficult [to secure the amount of a tooth space required between the electrical signal circuits in a chip carrier].

[0004] The I/O (I/O) total of a semiconductor chip increased, it considered as the approach of making much connection between a semiconductor chip and an organic chip carrier and between an organic chip carrier and a printed circuit board, along with the inclination which a semiconductor chip and a printed circuit board miniaturize continuing along with exceeding the capacity of the device which has arranged the lead on the outskirts, and it became desirable to arrange interconnect in the shape of an array on a flat surface.

[0005] There are a top face and an inferior surface of tongue in a typical chip carrier. (The vocabulary "a top face" and a "inferior surface of tongue" are used only in order to identify two front faces, and in order to point out the sense of a chip carrier in case the chip carrier structure is mounted on the printed circuit board, they are not used) . The top face of a chip carrier has the array (bonding pad of the 1st group) of a bonding pad. The array of this bonding pad is arranged by the pattern which is in agreement with the pattern (footprint: footprint) of the I/O pad on a chip carrier, i.e., a "footprint." There is a bonding pad of the 2nd group connected with the bonding pad of the 1st group by through BAIA (through-via) in the inferior surface of tongue of a chip carrier. Through BAIA is the hole of the shape of a cylinder which pierced through the thickness of a chip carrier and has (usually) been extended, and is lined with ingredients which carry out an operation of both a conductor and a conductor, such as copper. Through BAIA forms an electric conduction path between a chip and the electrical circuit pattern prepared in the internal layer of a chip carrier. The common way of forming through BAIA which realizes a signal, touch-down, and each interconnect means of a power source into a chip carrier is carrying out punching.

[0006] However, the grid pattern of an industry standard (for example) Controlling collapse chip connection (C4:Controlled Collapse Chip Connection) In order to punch all through BAIA using a solder ball grid pattern When performing completely each

pitch (for example, pitch below 9 mils (= 0.2286mm)) is required (with C4). It is the thing of the soldered joint which carries out the face down of the flip chip (thing in which many bumps (electrode of the letter of a projection) were formed on the electrode of the front face of a semiconductor chip), and is connected to a wiring (turning down field in which component was formed) substrate. In order to pull out all signal wiring from the wiring channel prepared between through BAIA, wiring with narrow (for example, under 18 microns (micro meter)) width of face is needed. In the design using such wiring, the yield of an usable product will usually become very small.

[0007] For this reason, two or more proposals of another design which made a wiring channel and a series of production processes which separate through BAIA from a signal circuit coalesce are made. The width of face of the signal wiring in these designs is only 14 microns. However, such wiring may not suit a required resistance specification (resistance will become large if width of face is narrow). Moreover, if it is going to realize wiring of 14-micron width of face, the thickness of the plating of through BAIA will become very thin inevitably (about 2-3 microns). Thus, if plating becomes comparatively thin, the thermal and electric properties of through BAIA come to run short. However, according to the design technique adopted by this invention, the width of face of signal wiring is unrelated to the plating thickness of the galvanized through hole (a "through hole" and "through BAIA" are used as a synonym PTH:plated through hole and here).

[0008] As mentioned above, the efficient and cheap method of raising the packaging density of the chip carrier structure, an electrical order, and equipment dependability is searched for. If electronic packaging, such as an organic chip carrier which was equipped with the multilayer interconnect structure and equipped with the wiring channel which can use an electrical signal for wiring, is used, the interconnect consistency between a semiconductor chip and an organic chip carrier and the interconnect consistency between an organic chip carrier and a printed circuit board can greatly be raised. Furthermore, it becomes possible to design electronic packaging which can improve electrical characteristics notably. It is thought that such a configuration brings about remarkable technical progress.

[0009]

[Means for Solving the Problem] The structure for chip carriers which makes it indispensable for this invention to arrange through BAIA in the location considered "A grid shifts (off-grid)" is offered. That is, by this invention, through BAIA does not exist in the location demarcated by the typical grid coordinate (namely, array pattern) system by internal arrangement of a chip carrier. Thus, if through BAIA is rearranged, it will become possible to carry out grouping of the electrical signal trace to the wiring channel prepared between through BAIA (trace is 1 wiring of one which constitutes the circuit pattern which is the form of the whole wiring). Furthermore, if a wiring channel is used, since wiring width of face can be made large, this and a pace are doubled and the dependability and the yield of a product improve.

[0010] The electrical signal which passed along through BAIA is returned to "grid location (on-grid)" (namely, array pattern required for that (that is, it connects with a semiconductor chip and a printed circuit board) which is connected further) of the multilayer-structure inside of the body using the conductive element (the bone configuration (L character configuration) of a dog is carried out typically) prepared in the internal layer. Thus, an electrical signal is again arranged at an array pattern, when going away from the top face and inferior surface of tongue of a chip carrier. Array pattern arrangement on top and array pattern arrangement at the bottom may be mutually like. Or array pattern arrangement on top may differ from array pattern

arrangement at the bottom remarkably mutually. For example, the array pattern on top may be expanding or contracting (for example, the fan-out (output terminal) pattern or the fan-in (input terminal) pattern may be expanding or contracting, respectively). What may be progressing in the shape of a straight line, and may be progressing to the radial, or combined both may be used for these reshuffles. Furthermore, micro BAIA of plurality [BAIA / single / through] (microvia) You may connect or this through BAIA of plurality conversely may connect with single micro BAIA.

[0011] An electrical signal can be returned to an array pattern location from through BAIA using blindness Bahia (Bahia as for which the end has not carried out opening). After blindness Bahia punches and galvanizes through BAIA, it is punched and formed in the external insulator layer put on the chip carrier. The grid shifted, namely, the external insulator layer covered through BAIA of a non-arranging pattern, was filled up, or is carrying out only one side. Instead of above, these blindness Bahia can form laser ablation (laser ablating), plasma etching, mechanical punching, and photograph imaging (photo-imaging) etc. using the technique which this technical field is sufficient as and was known.

[0012] Generally this invention is the integrated-circuit-chip carrier structure equipped with the laminating assembly. The 1st front face, Said 1st front face and the array of the contact pad substantially arranged by the 1st array pattern on the 2nd parallel front face and said 1st front face, The array of the contact pad arranged by the 2nd array pattern on said 2nd front face, Connect the contact pad on said 1st front face, and the contact pad on said 2nd front face, respectively. Through BAIA which is through BAIA in said integrated-circuit-chip carrier structure, and has transposed horizontally from the array pattern on the 1st front face, The integrated-circuit-chip carrier structure equipped with the conductive element which connects said contact pad and said through BAIA is offered.

[0013] This invention Moreover, a semiconductor integrated circuit chip, a printed circuit board, and the 1st front face, Said 1st front face and the laminating structure substantially equipped with the 2nd parallel front face, The array of the contact pad arranged by the 1st array pattern on said 1st front face, The array of the contact pad arranged by the 2nd array pattern on said 2nd front face, In order to be through BAIA in said laminating structure which connects the contact pad on said 1st front face, and the contact pad on said 2nd front face, respectively and to maximize the lock out space of an usable wiring channel Through BAIA which has transposed horizontally from the array pattern on the 1st front face, The printed-circuit-board assembly equipped with the integrated-circuit-chip carrier equipped with the conductive element which connects said contact pad and said through BAIA which mounts said semiconductor integrated circuit chip on said printed circuit board is offered.

[0014] Furthermore, this invention is the manufacture approach of the integrated-circuit-chip carrier structure equipped with the laminating assembly. The process which arranges the array of the contact pad which said laminating assembly is substantially equipped with the 1st parallel front face and 2nd parallel front face, and has been arranged by the 1st array pattern on said 1st front face, The process which arranges the array of the contact pad arranged by the 2nd array pattern on said 2nd front face, Connect the contact pad on said 1st front face, and the contact pad on said 2nd front face, respectively. The process which forms through BAIA which is through BAIA in said integrated-circuit-chip carrier structure, and has transposed horizontally from the array pattern on the 1st front face, The manufacture approach equipped with

said through BAIA is offered.

[0015] The both sides of the general description mentioned above and the detailed description mentioned later should show the example of a type of this invention, and should understand that it is not what limits this invention.

[0016]

[Embodiment of the Invention] This invention offers an organic integrated-circuit-chip carrier. The new design which wires the signal wiring which goes via a multilayer chip carrier from a semiconductor chip is offered maintaining wiring width of face to max, and raising the manufacture yield especially. Below, this invention shows the operation gestalt with desirable this invention in which the operation gestalt of many various forms is possible to a drawing, and explains it to a detail. However, it is the illustration of the essence of this invention which is indicated here, and it should understand not having the intention of limiting this invention to the operation gestalt explained here.

[0017] If drawing 1 is referred to, this drawing shows the disassembly-and-assembly perspective drawing of the electronic packaging 10 which mounts a semiconductor chip 12 on a chip carrier 14, and mounts a chip carrier 14 on the substrate 16 (for example, printed circuit board) which carried out circuit formation. Electronic packaging 10 is equipped with the multilayer interconnect structure 20 (an organic chip carrier is desirable). The multilayer interconnect structure 20 is suitable for the printed circuit board 16 in the semiconductor chip 12 with two or more solder balls 24 and conductive pads 18 interconnecting electrically. The multilayer interconnect structure 20 consists of two or more layers in which the insulating material and the electrical conducting material carried out alternation to some extent typically (refer to drawing 2).

[0018] As shown in drawing 2 , the multilayer interconnect structure 20 is equipped with further two or more micro BAIA 22 and contact pads 32. Micro BAIA 22 and the contact pad 32 touch electrically two or more conductive connectors 28 formed in the chip carrier 14. Two or more micro BAIA 22 also touches two or more contact members 30 prepared on the semiconductor chip 12. Each of two or more micro BAIA 22 is equipped with the layer 34 of the conductive ingredient prepared in some tops although chosen which is on the wall of two or more micro BAIA 22, and it is among two or more conductive connectors 28 (although it is desirable to use copper, a conductive paste or solder may be used for a conductive ingredient).

[0019] What was chosen of two or more contact pads 32 has connected with that to which it corresponds of the soldered joints 34 electrically. Each of a soldered joint 34 is designed so that the pattern of the contact member 30 prepared on the semiconductor chip 12 may be suited efficiently. If the contact member 30 and the galvanized through holes (namely, through BAIA) 50 and 52 are connected, the direct electrical-and-electric-equipment path which results in the solder ball 24 which passes along a soldered joint 34, the conductive connector 28, and the galvanized through holes 50 and 52, and corresponds from each contact member 30 under a semiconductor chip 12 will be realized. However, as for the contact member 30 which is in agreement with one side of the galvanized through holes 50 and 52, it is desirable only for one to exist. According to the direct electrical-and-electric-equipment path from the contact member 30 to the solder ball 24, from a semiconductor chip 12, it passes along the multilayer interconnect structure 20, and the comparatively short efficient electric path for electrical signals which should be transmitted to an external environment through the solder ball 24 is realized.

[0020] The wiring channel 51 equipped with sufficient tooth space to hold the conductive trace for wiring an electrical signal, a power-source signal, and a

touch-down signal is realized by transposing the galvanized through holes (PTH, i.e., through BAIA) 50 and 52. As shown in drawing 2 and drawing 3, while galvanized the wiring channel 51 and it is extended to the edge of the through hole 52 of another side galvanized from the edge of a through hole 51. In the design by the related technique, the width of face of a wiring channel was restricted between B and B', as shown in drawing 2. On the other hand, with this operation gestalt, the width of face of the wiring channel 51 is extended from A to A', and although the signal trace 40 is wired, the usable tooth space is increasing notably compared with a related technique.

[0021] With reference to drawing 2, electronic packaging 10 can be further equipped with the substrate (for example, printed circuit board) 16 by which was equipped with two or more contact pads 18 on the 1st front face 42, and circuit formation was carried out. The contact pad 18 is electrically connected with that to which it corresponds of the solder balls 24 prepared on the multilayer interconnect structure 20. usually -- since the solder ball 24 is arranged at BGA (ball grid array: package which has arranged metal ball which mounts and closes semiconductor chip to wiring substrate, and serves as external terminal at this wiring substrate in the shape of grid) arrangement -- the outside from electronic packaging 10 -- and transfer of the electrical signal to the inside of it and distribution of a power source can be performed efficiently. Moreover, the solder ball 24 can also be formed in the form of a column etc. Thereby, an isolation insulation machine (insulating instrument which floats and supports a conductor from a certain field) suitable between the substrates 16 by which circuit formation was carried out with the multilayer interconnect structure 20, and a suitable strain shock absorber are realizable.

[0022] Reference of drawing 3 has shown the plan of this operation gestalt which explains further how for a grid to shift and to make a location transpose through BAIA 50 and 52 there using the conductive connector 28 of the bone configuration (L character configuration) of a dog. Although the conductive connector 28 of the bone configuration of a dog may be formed in any layer, in order to show clearly, it has shown what was formed near the front face here. While micro BAIA 22 and the contact pad 32 (not shown) have stopped at the grid location, the galvanized through holes (PTH) 50 and 52 shifted, and have transposed the grid in the location. Thereby, although the internal signal plane 26 is wired in two or more signal traces 40, the usable tooth space for wiring channel 51 can be increased. With 1 operation gestalt of this invention, when the wiring channel 51 is optimized, sufficient tooth space for four to wire the signal trace 40 whose minimum line width is 28 microns is obtained.

[0023] Drawing 4 is the plan of another operation gestalt of this invention, and how for a grid to shift to a radial and to make a location transpose through BAIA 50 and 52 a little is shown using the conductive connector 28 of the bone configuration of a dog. Although the conductive connector 28 of the bone configuration of a dog may be formed in any layer, in order to show clearly, it has shown what was formed near the front face here. While micro BAIA 22 and the contact pad 32 (not shown) have stopped at the grid location, the grid shifted and through BAIA 50 and 52 has transposed it in the location. This maintaining large trace width of face (for example, 28 microns or more), and raising productivity, although the internal signal plane 26 is wired in signal trace of plurality (4 [for example,]) per wiring channel 51, the usable tooth space for wiring channel 51 can be increased.

[0024] Drawing 5 is the plan of still more nearly another operation gestalt of this invention, and shows two alternative connection formats. a format 54 is ** -- two micro BAIA 22 is connected to one through BAIA 50. On the other hand, a format 56 connects

connection between micro BAIA 22 and through BAIA 50 is made using the conductive connector 28 of the bone configuration of a dog.

[0025] The operation gestalt mentioned above illustrates this invention, and does not have the intention of limiting this invention. Carrying out still more nearly another deformation to the main object of this invention among range can hit on an idea easily for this contractor while it is possible.

[Brief Description of the Drawings]

[Drawing 1] It is the disassembly-and-assembly perspective drawing by 1 operation gestalt of this invention showing mounting to the chip carrier of a semiconductor chip, and mounting to the printed circuit board of a chip carrier.

[Drawing 2] It is the longitudinal direction sectional view which expanded the semiconductor chip which mounted according to 1 operation gestalt of this invention, and was connected, a chip carrier, and drawing 1 which consists of a printed circuit board.

[Drawing 3] It is a plan on the front face of the upper of the chip carrier structure of drawing 2 by 1 operation gestalt of this invention.

[Drawing 4] It is a plan on the front face of the upper of the chip carrier structure of drawing 2 by another operation gestalt of this invention.

[Drawing 5] It is a plan on the front face of the upper of the chip carrier structure of drawing 2 by still more nearly another operation gestalt of this invention.

[Description of Notations]

12 -- A semiconductor chip, 14 -- A chip carrier, the substrate which carried out 16 -- circuits formation, 18 -- A conductive pad, 20 -- The multilayer interconnect structure, 22 -- Micro BAIA, 24 -- A solder ball, 26 -- An internal signal plane, 28 -- A conductive connector, 30 -- A contact member, 32 -- A contact pad, 34 -- The layer of a conductive ingredient (soldered joint), 40 [-- A wiring channel, 52 / -- A through hole (namely, through BAIA), 54 / -- A format, 56 / -- Format.] -- Signal trace, 42 -- The 1st front face, 50 -- A through hole (namely, through BAIA), 51

[Claim(s)]

[Claim 1] It is the integrated-circuit-chip carrier structure equipped with the laminating assembly. The 1st front face, Said 1st front face and the array of the contact pad substantially arranged by the 1st array pattern on the 2nd parallel front face and said 1st front face, The array of the contact pad arranged by the 2nd array pattern on said 2nd front face, Connect the contact pad on said 1st front face, and the contact pad on said 2nd front face, respectively. The integrated-circuit-chip carrier structure equipped with the conductive element which connects through BAIA which is through BAIA in said integrated-circuit-chip carrier structure, and has transposed horizontally from the array pattern on the 1st front face, and said contact pad and said through BAIA.

[Claim 2] Furthermore, the integrated-circuit-chip carrier structure [equipped with the lock out space which was maximized so that it might be prepared between the groups of said through BAIA and the biggest possible wiring channel might be formed and which is the lock out space in said integrated-circuit-chip carrier structure, and is arranged between said through BAIA] according to claim 1.

[Claim 3] The integrated-circuit-chip carrier structure according to claim 1 to which said conductive element is carrying out the bone configuration of a dog.

[Claim 4] The integrated-circuit-chip carrier structure according to claim 1 currently used for said conductive element to dislocate said through BAIA once [at least].

[Claim 5] The integrated-circuit-chip carrier structure according to claim 2 which said wiring channel equips with two or more electrical signal lines.

[Claim 6] The integrated-circuit-chip carrier structure according to claim 1 whose micro BAIA arranged on said 2nd front face is blindness Bahia.

[Claim 7] The integrated-circuit-chip carrier structure according to claim 6 in which said blindness Bahia is formed by laser ablation.

[Claim 8] The integrated-circuit-chip carrier structure according to claim 6 in which said blindness Bahia is formed by photograph IMEJINGU.

[Claim 9] The integrated-circuit-chip carrier structure according to claim 6 in which said blindness Bahia is formed by plasma etching.

[Claim 10] The integrated-circuit-chip carrier structure according to claim 6 in which said blindness Bahia is formed with mechanical punching.

[Claim 11] The integrated-circuit-chip carrier structure according to claim 1 in which said integrated-circuit-chip carrier structure is formed with the organic material.

[Claim 12] Said integrated-circuit-chip carrier structure is formation, now the integrated-circuit-chip carrier structure according to claim 1 which is with a ceramic ingredient.

[Claim 13] A semiconductor integrated circuit chip, a printed circuit board, the 1st front face, said 1st front face, and the laminating structure substantially equipped with the 2nd parallel front face, The array of the contact pad arranged by the 1st array pattern on said 1st front face, The array of the contact pad arranged by the 2nd array pattern on said 2nd front face, In order to be through BAIA in said laminating structure which connects the contact pad on said 1st front face, and the contact pad on said 2nd front face, respectively and to maximize the lock out space of an usable wiring channel Through BAIA which has transposed horizontally from the array pattern on the 1st front face, The printed-circuit-board assembly equipped with the integrated-circuit-chip carrier equipped with the conductive element which connects said contact pad and said through BAIA which mounts said semiconductor integrated circuit chip on said printed circuit board.

space which was maximized so that it might be prepared between the groups of said through BAIA and the biggest possible wiring channel might be formed and which is the lock out space in said laminating structure, and is arranged between said through BAIA] according to claim 13.

[Claim 15] The printed-circuit-board assembly according to claim 13 in which said laminating structure is formed with the organic material.

[Claim 16] The printed-circuit-board assembly according to claim 13 in which said laminating structure is formed with the ceramic ingredient.

[Claim 17] It is the manufacture approach of the integrated-circuit-chip carrier structure equipped with the laminating assembly. The process which arranges the array of the contact pad which said laminating assembly is substantially equipped with the 1st parallel front face and 2nd parallel front face, and has been arranged by the 1st array pattern on said 1st front face, The process which arranges the array of the contact pad arranged by the 2nd array pattern on said 2nd front face, Connect the contact pad on said 1st front face, and the contact pad on said 2nd front face, respectively. The manufacture approach equipped with the process incorporating the conductive element which connects the process which forms through BAIA which is through BAIA in said integrated-circuit-chip carrier structure, and has transposed horizontally from the array pattern on the 1st front face, and said contact pad and said through BAIA.

[Claim 18] Furthermore, the manufacture approach [equipped with the process which forms the lock out space which is in said integrated-circuit-chip carrier structure, and maximizes wiring channel capacity between said through BAIA, and the process which forms a wiring channel in said lock out space] according to claim 17.

[Claim 19] The manufacture approach according to claim 17 that said conductive element is carrying out the bone configuration of a dog.

[Claim 20] The manufacture approach according to claim 17 of dislocating said through BAIA, using said conductive element twice [at least].

[Claim 21] The manufacture approach according to claim 17 that said wiring channel is equipped with two or more electrical signal lines.

[Claim 22] The manufacture approach according to claim 17 that the contact pad arranged on said 2nd front face is blindness Bahia.

[Claim 23] The manufacture approach according to claim 22 which forms said blindness Bahia by laser ablation.

[Claim 24] The manufacture approach according to claim 22 which forms said blindness Bahia by plasma etching.

[Claim 25] The manufacture approach according to claim 22 which forms said blindness Bahia with mechanical punching.

[Claim 26] The manufacture approach according to claim 22 which forms said blindness Bahia by photograph IMEJINGU.

[Claim 27] The manufacture approach according to claim 17 which forms said integrated-circuit-chip carrier structure with an organic material.

[Claim 28] The manufacture approach according to claim 17 which forms said integrated-circuit-chip carrier structure with a ceramic ingredient.

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B
		H 0 1 R 33/76	Z
H 0 1 R 33/76		H 0 5 K 1/18	U
H 0 5 K 1/18		H 0 1 L 23/12	N

審査請求 有 請求項の数28 O L (全 8 頁)

(21)出願番号	特願2001-17512(P2001-17512)	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成13年1月25日(2001.1.25)	(72)発明者	ティモシー・エフ・カーデン アメリカ合衆国 ニューヨーク州 13850、 ヴェスタル、フォード ロード 1008
(31)優先権主張番号	09/506951	(74)代理人	100086243 弁理士 坂口 博 (外2名)
(32)優先日	平成12年2月18日(2000.2.18)		
(33)優先権主張国	米国(US)		

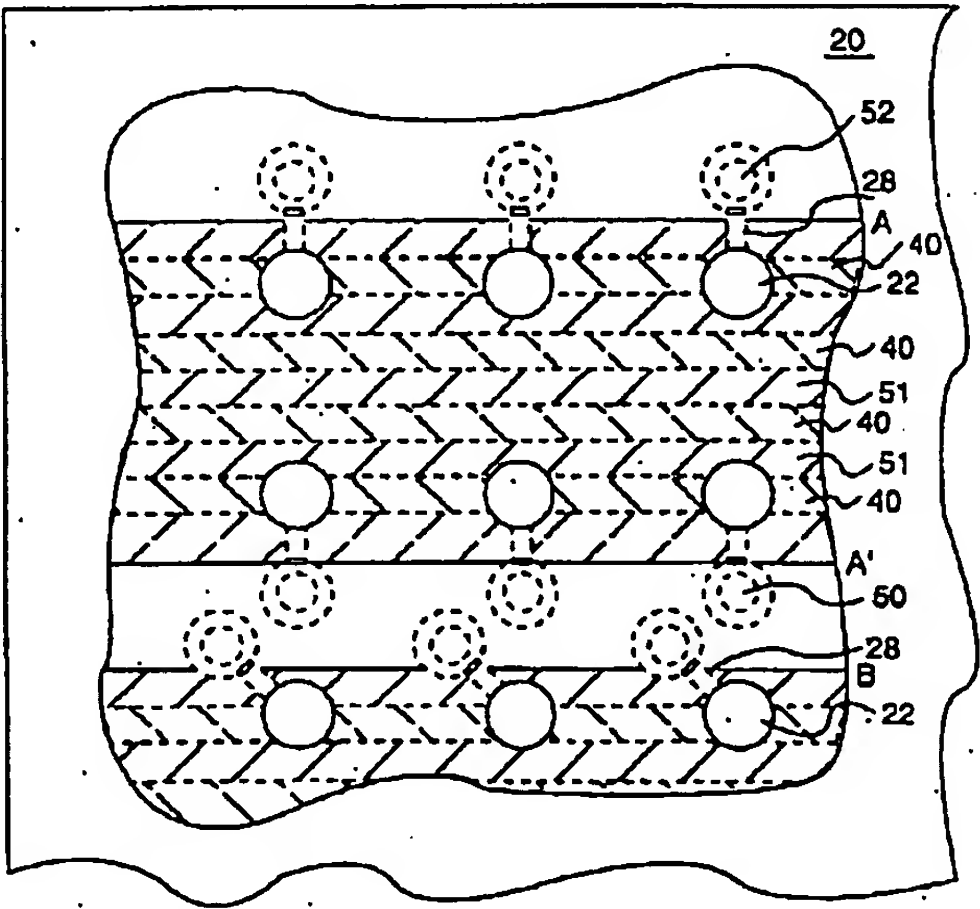
最終頁に続く

(54)【発明の名称】 集積回路チップ・キャリア構造体

(57)【要約】

【課題】 集積回路チップ・キャリアに関し、半導体チップから多層チップ・キャリアを経由する信号配線を新規な設計手法によって配線することにより、配線幅を広げて製品の信頼性と製造歩留りを向上させる。

【解決手段】 高密度集積回路チップをマウントするチップ・キャリア20は、外部回路に電氣的に相互接続するコンタクト・パッド(すなわちマイクロバヤ)22が第1の配列パターンで配置されている一方、めっきしたスルーホール(すなわちスルーバヤ)50、52が、第1の配列パターンよりも間隔が広い第2の配列パターンで配置されている。これにより、チップ・キャリア20内の配線チャンネル51が広がるので、配線チャンネル51に配線する信号トレース40の幅を広くとることが可能になる。



【特許請求の範囲】

【請求項1】 積層組立体を備えた集積回路チップ・キャリア構造体であって、
第1の表面と、
前記第1の表面と実質的に平行な第2の表面と、
前記第1の表面上に第1の配列パターンで配置されたコンタクト・パッドの配列と、
前記第2の表面上に第2の配列パターンで配置されたコンタクト・パッドの配列と、
前記第1の表面上のコンタクト・パッドと前記第2の表面上のコンタクト・パッドとをそれぞれ接続する、前記集積回路チップ・キャリア構造体内のスループアであって、第1の表面上の配列パターンから水平方向に転置されているスループアと、
前記コンタクト・パッドと前記スループアとを接続する導電性要素とを備えた集積回路チップ・キャリア構造体。

【請求項2】 さらに、
前記スループアの組の間に設けられ可能な限り大きな配線チャンネルを形成するように最大化された、前記集積回路チップ・キャリア構造体内の閉塞空間であって、前記スループアの間に配置されている閉塞空間を備えている、請求項1に記載の集積回路チップ・キャリア構造体。

【請求項3】 前記導電性要素が犬の骨形状をしている、請求項1に記載の集積回路チップ・キャリア構造体。

【請求項4】 前記導電性要素が前記スループアを少なくとも1回転置させるのに使われている、請求項1に記載の集積回路チップ・キャリア構造体。

【請求項5】 前記配線チャンネルが複数の電気信号線を備えている、請求項2に記載の集積回路チップ・キャリア構造体。

【請求項6】 前記第2の表面上に配置されたマイクロバアが盲バアである、請求項1に記載の集積回路チップ・キャリア構造体。

【請求項7】 前記盲バアがレーザー・アブレーションで形成されている、請求項6に記載の集積回路チップ・キャリア構造体。

【請求項8】 前記盲バアがフォト・イメージングで形成されている、請求項6に記載の集積回路チップ・キャリア構造体。

【請求項9】 前記盲バアがプラズマ・エッチングで形成されている、請求項6に記載の集積回路チップ・キャリア構造体。

【請求項10】 前記盲バアが機械的穴あけで形成されている、請求項6に記載の集積回路チップ・キャリア構造体。

【請求項11】 前記集積回路チップ・キャリア構造体が

【請求項12】 前記集積回路チップ・キャリア構造体がセラミック材料で形成されている、請求項1に記載の集積回路チップ・キャリア構造体。

【請求項13】 半導体集積回路チップと、
プリント回路基板と、
第1の表面と、前記第1の表面と実質的に平行な第2の表面とを備えた積層構造体と、
前記第1の表面上に第1の配列パターンで配置されたコンタクト・パッドの配列と、
前記第2の表面上に第2の配列パターンで配置されたコンタクト・パッドの配列と、
前記第1の表面上のコンタクト・パッドと前記第2の表面上のコンタクト・パッドとをそれぞれ接続する、前記積層構造体内のスループアであって、使用可能な配線チャンネルの閉塞空間を最大化するために、第1の表面上の配列パターンから水平方向に転置されているスループアと、
前記コンタクト・パッドと前記スループアとを接続する導電性要素とを備えた、前記半導体集積回路チップを前記プリント回路基板にマウントする集積回路チップ・キャリアとを備えたプリント回路基板組立体。

【請求項14】 さらに、
前記スループアの組の間に設けられ可能な限り大きな配線チャンネルを形成するように最大化された、前記積層構造体内の閉塞空間であって、前記スループアの間に配置されている閉塞空間を備えている、請求項13に記載のプリント回路基板組立体。

【請求項15】 前記積層構造体が有機材料で形成されている、請求項13に記載のプリント回路基板組立体。

【請求項16】 前記積層構造体がセラミック材料で形成されている、請求項13に記載のプリント回路基板組立体。

【請求項17】 積層組立体を備えた集積回路チップ・キャリア構造体の製造方法であって、前記積層組立体が実質的に平行な第1の表面と第2の表面とを備えており、前記第1の表面上に第1の配列パターンで配置されたコンタクト・パッドの配列を配置する工程と、
前記第2の表面上に第2の配列パターンで配置されたコンタクト・パッドの配列を配置する工程と、
前記第1の表面上のコンタクト・パッドと前記第2の表面上のコンタクト・パッドとをそれぞれ接続する、前記集積回路チップ・キャリア構造体内のスループアであって、第1の表面上の配列パターンから水平方向に転置されているスループアを形成する工程と、
前記コンタクト・パッドと前記スループアとを接続する導電性要素を組み込む工程とを備えた製造方法。

【請求項18】 さらに、
前記集積回路チップ・キャリア構造体内であって、前記

前記閉塞空間内に配線チャネルを形成する工程とを備えている、請求項17に記載の製造方法。

【請求項19】前記導電性要素が犬の骨形状をしている、請求項17に記載の製造方法。

【請求項20】前記導電性要素を少なくとも2回使って前記スルーバイアを転置させる、請求項17に記載の製造方法。

【請求項21】前記配線チャネルが複数の電気信号線を備えている、請求項17に記載の製造方法。

【請求項22】前記第2の表面に配置されたコンタクト・パッドが盲バイアである、請求項17に記載の製造方法。

【請求項23】前記盲バイアをレーザー・アブレーションで形成する、請求項22に記載の製造方法。

【請求項24】前記盲バイアをプラズマ・エッチングで形成する、請求項22に記載の製造方法。

【請求項25】前記盲バイアを機械的穴あけで形成する、請求項22に記載の製造方法。

【請求項26】前記盲バイアをフォト・イメージングで形成する、請求項22に記載の製造方法。

【請求項27】前記集積回路チップ・キャリア構造体を有機材料で形成する、請求項17に記載の製造方法。

【請求項28】前記集積回路チップ・キャリア構造体をセラミック材料で形成する、請求項17に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に、集積回路装置をプリント回路基板に取り付けることに関する。本発明は、特に、信号線の接続と電力線の接続とを全て賄う集積回路チップ・キャリアを用いて、半導体集積回路（IC）チップをプリント回路基板に取り付けることに関する。

【0002】

【従来の技術】集積回路チップが集積回路チップ・キャリアに既に取り付けられている場合、集積回路チップを予定の動作環境に組み込むのは、容易である。代表的なチップ・キャリアは、オフチップ（off-chip）すなわち外部の装置に対する電氣的相互接続を備えることにより、集積回路チップと回路基板との間のインターフェース（2つの構成要素の境界において共用される部分）を提供する。

【0003】チップ・キャリアに有機基板が使われるようになった。有機基板は、多くの用途用に開発が続けられている。有機基板は、電氣的性能が向上すると共に価格が低下したので、セラミック基板に取って代わるもの、特にチップ・キャリアの分野で取って代わるものと見込まれている。しかしながら、電子パッケージ内で半

と、多くの難問を招来する。これら難問のうちの1つは、チップ・キャリア内の電気信号回路間に必要なスペースの量を確保するのが困難な点である。

【0004】半導体チップの入出力（I/O）総数が増大して、周辺にリードを配置したデバイスの能力を超えるのにつれ、また、半導体チップとプリント回路基板が小型化する傾向が続くにつれ、半導体チップと有機チップ・キャリアとの間、および有機チップ・キャリアとプリント回路基板との間の接続を多数行なう方法として、相互接続を平面上に配列状に配置するのが望ましいものになった。

【0005】代表的なチップ・キャリアには、上面と下面とがある。（用語「上面」「下面」は、2つの表面を識別するためだけに使い、チップ・キャリア構造体がプリント回路基板にマウントされている場合におけるチップ・キャリアの向きを指すためには使わない）。チップ・キャリアの上面には、ボンディング・パッドの配列（第1の組のボンディング・パッド）がある。このボンディング・パッドの配列は、チップ・キャリア上の入出力パッドのパターンすなわち「フットプリント（footprint:足跡）」と一致するパターンで配置されている。チップ・キャリアの下面には、スルーバイア（through-via）によって第1の組のボンディング・パッドと接続された第2の組のボンディング・パッドがある。スルーバイアは、チップ・キャリアの厚さを貫いて伸びている（普通は）円柱状の穴であり、導電体および熱伝導体双方の作用をする、銅などの材料で内張りされている。スルーバイアは、チップと、チップ・キャリアの内部層内に設けられた電気回路パターンとの間に、導電経路を形成する。信号、接地、電源の各相互接続手段を実現するスルーバイアをチップ・キャリア中に形成するありふれたやり方は、穴あけをすることである。

【0006】しかしながら、業界標準の格子パターン（たとえば、コントロール・コラプス・チップ・コネクション（C4:Controlled Collapse Chip Connection）はんだボール格子パターン）を使って全てのスルーバイアを穴あけするには、信号、接地、電源の各相互接続を完全に行なう場合、極めて狭いピッチ（たとえば9ミル（=0.2286mm）以下のピッチ）での穴あけが必要である（C4とは、フリップチップ（半導体チップの表面の電極上に多数のバンプ（突起状の電極）を形成したものをフェースダウンして（素子を形成した面を下側にして）配線基板に接続するはんだ接続のことである）。全ての信号配線をスルーバイアの間に設けた配線チャネルから引き出すようにするには、幅が狭い（たとえば18ミクロン（マイクロ・メートル）未満）の配線が必要になる。このような配線を使う設計では、通常、使用可能な製品の歩留りが極めて小さくなってしまふ。

設計が複数提案されている。これらの設計における信号配線の幅は、わずか14ミクロンである。しかし、このような配線は、必要な抵抗値仕様に適合しない可能性がある（幅が狭いと抵抗値が大きくなる）。また、14ミクロン幅の配線を実現しようとする、必然的に、スルーバイアのめっきの厚さが極めて薄くなってしまふ（約2〜3ミクロン）。このようにめっきが比較的薄くなると、スルーバイアの熱的かつ電氣的な特性が不足するようになる。しかしながら、本発明で採用する設計手法によれば、信号配線の幅は、めっきしたスルーホール（PTH: plated through hole、ここでは「スルーホール」と「スルーバイア」とを同義語として使う）のめっき厚と無関係である。

【0008】以上のように、チップ・キャリア構造体の実装密度、電氣的性能、装置信頼性を向上させることができる効率的かつ安価な方法が求められている。多層相互接続構造体を備え、電気信号を配線するのに使用できる配線チャンネルを備えた、有機チップ・キャリアなどの電子パッケージを用いると、半導体チップと有機チップ・キャリアとの間の相互接続密度、および、有機チップ・キャリアとプリント回路基板との間の相互接続密度を大いに高めることができる。さらに、電氣的特性を顕著に改善できる電子パッケージを設計することが可能になる。このような構成は、顕著な技術進歩をもたらすものと思われる。

【0009】

【課題を解決するための手段】本発明は、「格子はずれ（off-grid）」と考えられる位置にスルーバイアを配置することを必須とするチップ・キャリア用の構造体を提供する。すなわち、本発明では、スルーバイアは、チップ・キャリアの内部配置では、典型的な格子座標（すなわち配列パターン）系によって画定される位置には存在しない。このようにスルーバイアを再配置すると、電気信号トレースをスルーバイア間に設けた配線チャンネルにグループ化することが可能になる（トレースとは、配線全体の形である配線パターンを構成する1本1本の配線のことである）。さらに、配線チャンネルを用いると、配線幅を広くすることができるので、これと歩調を合わせて、製品の信頼性と歩留りが向上する。

【0010】スルーバイアを通った電気信号は、内部層内に設けた導電性要素（典型的には犬の骨形状（L字形）をしている）を使って、多層構造体内の「格子位置（on-grid）」（すなわち、さらに接続する（つまり半導体チップ、プリント回路基板に接続する）のに必要な配列パターン）に戻される。このように、電気信号は、チップ・キャリアの上面および下面から出て行くとき、再び配列パターンに配置される。上面の配列パターン配置と下面の配列パターン配置とは、互いに似かよって

い。たとえば、上面の配列パターンが拡大あるいは縮小していてもよい（たとえば、ファンアウト（出力端子）・パターンあるいはファンイン（入力端子）・パターンが、それぞれ拡大あるいは縮小していてもよい）。これらの配置換えは、直線状に進んでいてもよいし、放射状に進んでいてもよい、あるいは、両者を組み合わせたものでもよい。さらに、単一のスルーバイアが複数のマイクロバイア（microvia）に接続していてもよいし、あるいはこの逆に複数のスルーバイアが単一のマイクロバイアに接続していてもよい。

【0011】電気信号は、盲バイア（一端が開口していないバイア）を使ってスルーバイアから配列パターン位置へ戻すことができる。盲バイアは、スルーバイアを穴あけしてめっきした後にチップ・キャリアに被着されている外部絶縁体層に穴あけして形成する。外部絶縁体層は、格子はずれすなわち非配列パターンのスルーバイアを覆いかつ充填している、あるいは一方だけをしている。以上の代わりに、これら盲バイアは、レーザー・アブレーション（laser ablating）、プラズマ・エッチング、機械的穴あけ、フォト・イメージング（photo-imaging）など、当技術分野でよく知られた技法を使って形成することができる。

【0012】一般に、本発明は、積層組立体を備えた集積回路チップ・キャリア構造体であって、第1の表面と、前記第1の表面と実質的に平行な第2の表面と、前記第1の表面上に第1の配列パターンで配置されたコンタクト・パッドの配列と、前記第2の表面上に第2の配列パターンで配置されたコンタクト・パッドの配列と、前記第1の表面上のコンタクト・パッドと前記第2の表面上のコンタクト・パッドとをそれぞれ接続する、前記集積回路チップ・キャリア構造体内のスルーバイアであって、第1の表面上の配列パターンから水平方向に転置されているスルーバイアと、前記コンタクト・パッドと前記スルーバイアとを接続する導電性要素とを備えた集積回路チップ・キャリア構造体を提供する。

【0013】また、本発明は、半導体集積回路チップと、プリント回路基板と、第1の表面と、前記第1の表面と実質的に平行な第2の表面とを備えた積層構造体と、前記第1の表面上に第1の配列パターンで配置されたコンタクト・パッドの配列と、前記第2の表面上に第2の配列パターンで配置されたコンタクト・パッドの配列と、前記第1の表面上のコンタクト・パッドと前記第2の表面上のコンタクト・パッドとをそれぞれ接続する、前記積層構造体内のスルーバイアであって、使用可能な配線チャンネルの閉塞空間を最大化するために、第1の表面上の配列パターンから水平方向に転置されているスルーバイアと、前記コンタクト・パッドと前記スルーバイアとを接続する導電性要素とを備えた、前記半導体

組立体を提供する。

【0014】さらに、本発明は、積層組立体を備えた集積回路チップ・キャリア構造体の製造方法であって、前記積層組立体が実質的に平行な第1の表面と第2の表面とを備えており、前記第1の表面上に第1の配列パターンで配置されたコンタクト・パッドの配列を配置する工程と、前記第2の表面上に第2の配列パターンで配置されたコンタクト・パッドの配列を配置する工程と、前記第1の表面上のコンタクト・パッドと前記第2の表面上のコンタクト・パッドとをそれぞれ接続する、前記集積回路チップ・キャリア構造体内のスルーバイアであって、第1の表面上の配列パターンから水平方向に転置されているスルーバイアを形成する工程と、前記コンタクト・パッドと前記スルーバイアとを接続する導電性要素を組み込む工程とを備えた製造方法を提供する。

【0015】上述した一般的な記述と後述する詳細な記述の双方は、本発明の典型例を示すものであり、本発明を限定するものではない、ということを理解すべきである。

【0016】

【発明の実施の形態】本発明は、有機集積回路チップ・キャリアを提供する。特に、配線幅を最大に維持して製造歩留りを向上させながら、半導体チップから多層チップ・キャリアを経由する信号配線を配線する新規な設計を提供する。本発明は、多くの様々な形の実施形態が可能であるけれども、以下では本発明の好ましい実施形態を図面に示し、かつ詳細に説明する。しかしながら、ここで開示するものは、本発明の本質の例証であって、ここで説明した実施形態に本発明を限定することを意図していない、ということを理解すべきである。

【0017】図1を参照すると、この図は、半導体チップ12をチップ・キャリア14にマウントし、チップ・キャリア14を回路形成した基板16（たとえばプリント回路基板）にマウントする電子パッケージ10の分解組立透視図を示している。電子パッケージ10は、多層相互接続構造体20（有機チップ・キャリアが望ましい）を備えている。多層相互接続構造体20は、複数のはんだボール24と導電性パッド18によって半導体チップ12をプリント回路基板16に電気的に相互接続するのに適している。多層相互接続構造体20は、典型的には絶縁材料と導電材料とがある程度交互した複数の層から構成されている（図2参照）。

【0018】図2に示すように、多層相互接続構造体20は、さらに、複数のマイクロバイア22とコンタクト・パッド32を備えている。マイクロバイア22とコンタクト・パッド32は、チップ・キャリア14内に設けた複数の導電性コネクタ28と電気的に接触している。複数のマイクロバイア22は、半導体チップ12上

の内壁上であって、かつ、複数の導電性コネクタ28のうちの選択したものの一部の上に設けた導電性材料の層34を備えている（導電性材料には、銅を使うのが望ましいけれども、導電性ペーストあるいははんだを用いてもよい）。

【0019】複数のコンタクト・パッド32のうちの選択したものが、はんだ接続34のうちの対応するものと電気的に接続している。はんだ接続34の各々は、半導体チップ12上に設けられたコンタクト部材30のパターンに効率的に適合するように設計されている。コンタクト部材30とめっきしたスルーホール（すなわちスルーバイア）50、52とを接続すると、半導体チップ12の下に、各コンタクト部材30から、はんだ接続34、導電性コネクタ28、めっきしたスルーホール50、52を通して、対応するはんだボール24に至る直接電気経路が実現する。しかし、めっきしたスルーホール50および52のうちの一方と一致するコンタクト部材30は、1つしか存在しないのが望ましい。コンタクト部材30からはんだボール24に至る直接電気経路によって、半導体チップ12から、多層相互接続構造体20を通り、はんだボール24を介して外部環境へ伝送すべき電気信号用の比較的短く効率的な電気経路が実現する。

【0020】めっきしたスルーホール（PTH、すなわちスルーバイア）50、52を転置することにより、電気信号、電源信号、接地信号を配線するための導電性トレースを収容するのに十分なスペースを備えた配線チャンネル51が実現する。図2と図3に示すように、配線チャンネル51は、めっきした一方のスルーホール51の端からめっきした他方のスルーホール52の端まで伸びている。関連技術による設計では、配線チャンネルの幅は、図2に示すようにBとB'との間に限られていた。これに対して、本実施形態では、配線チャンネル51の幅はAからA'まで伸びており、信号トレース40を配線するのに使用可能なスペースが関連技術に比べて顕著に増大している。

【0021】図2を参照して、電子パッケージ10は、さらに、第1の表面42上に複数のコンタクト・パッド18を備え回路形成された基板（たとえばプリント回路基板）16を備えることができる。コンタクト・パッド18は、多層相互接続構造体20上に設けたはんだボール24のうちの対応するものと電気的に接続されている。通常、はんだボール24はBGA（ball grid array: 配線基板に半導体チップをマウントして封止し、該配線基板に外部端子となる金属ボールを格子状に配置したパッケージ）配置に配置されているので、電子パッケージ10から外への、およびその中への電気信号の伝達と電源の分配とを効率的に行なうことができる。また、は

基板16との間に、適切な隔離絶縁器（導体のある面から浮かして支持する絶縁器具）と適切なひずみ緩衝器を実現することができる。

【0022】図3を参照すると、そこには、犬の骨形状（L字形状）の導電性コネクタ28を使って、スルーバイア50、52を格子はずれ位置に転置させる方法をさらに説明する本実施形態の上面図が示してある。犬の骨形状の導電性コネクタ28は、どの層に形成しても構わないが、ここでは、はっきりと示すために表面近くに形成したものを示してある。マイクロバイア22とコンタクト・パッド32（図示せず）が格子位置に留まっている一方、めっきしたスルーホール（PTH）50、52は格子はずれ位置に転置されている。これにより、内部信号層26に複数の信号トレース40を配線するのに使用可能な配線チャンネル51用のスペースを増大させることができる。本発明の一実施形態では、配線チャンネル51を最適化した場合、最小線幅が28ミクロンの信号トレース40を4本配線するのに十分なスペースが得られている。

【0023】図4は、本発明の別の実施形態の上面図であり、犬の骨形状の導電性コネクタ28を使って、スルーバイア50、52を、いくぶん放射状に格子はずれ位置に転置させる方法を示している。犬の骨形状の導電性コネクタ28は、どの層に形成しても構わないが、ここでは、はっきりと示すために表面近くに形成したものを示してある。マイクロバイア22とコンタクト・パッド32（図示せず）が格子位置に留まっている一方、スルーバイア50、52は格子はずれ位置に転置されている。これにより、広いトレース幅（たとえば28ミクロン以上）を維持して生産性を向上させながら、1つの配線チャンネル51当り複数（たとえば4本）の信号トレースを内部信号層26に配線するのに使用可能な配線チャンネル51用のスペースを増大させることができる。

【0024】図5は、本発明のさらに別の実施形態の上面図であり、2つの二者択一的な接続様式を示している。様式54は、ただ1つのスルーバイア50に2つのマイクロバイア22を接続したものである。一方、様式

56は、2つのスルーバイア50にただ1つのマイクロバイア22を接続したものである。これら2つの様式の双方において、マイクロバイア22とスルーバイア50との間の接続は、犬の骨形状の導電性コネクタ28を使って行なう。

【0025】上述した実施形態は、本発明を例証するものであり、本発明を限定することを意図していない。本発明の本旨と範囲の内でさらに別の変形をすることは、可能であると共に、当業者にとって容易に想到しうるものである。

【図面の簡単な説明】

【図1】 本発明の一実施形態による、半導体チップのチップ・キャリアへのマウント、およびチップ・キャリアのプリント回路基板へのマウントを示す分解組立透視図である。

【図2】 本発明の一実施形態によってマウントしかつ接続した半導体チップ、チップ・キャリア、およびプリント回路基板から成る図1を拡大した長手方向断面図である。

【図3】 本発明の一実施形態による図2のチップ・キャリア構造体の上表面の上面図である。

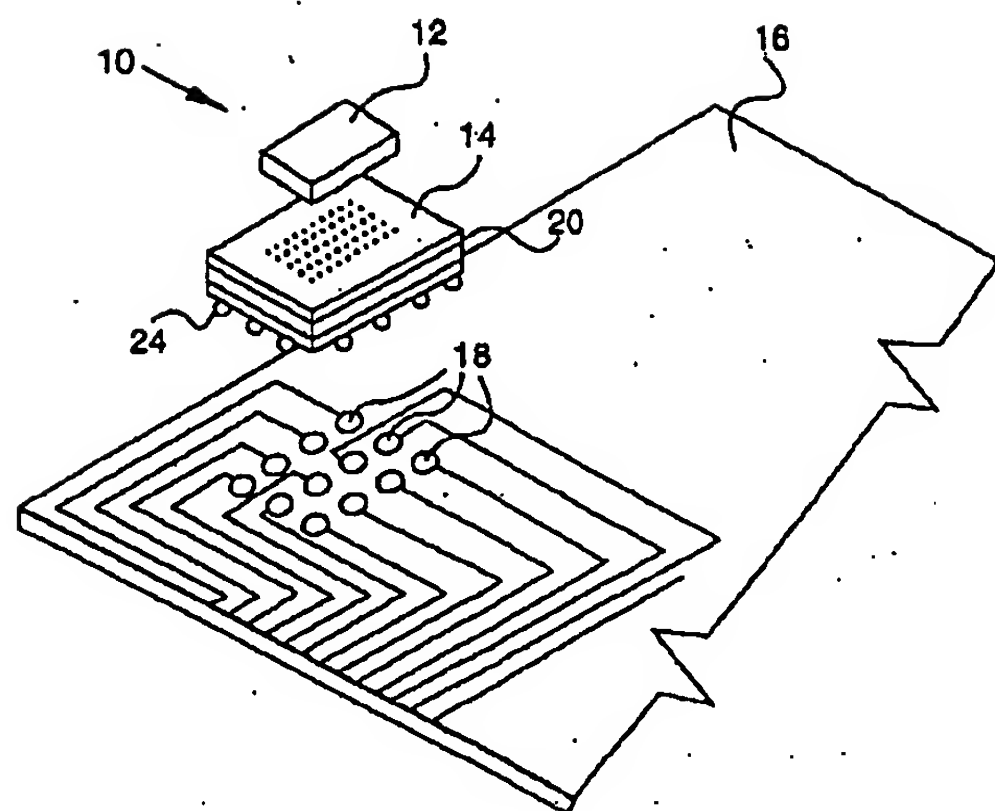
【図4】 本発明の別の実施形態による図2のチップ・キャリア構造体の上表面の上面図である。

【図5】 本発明のさらに別の実施形態による図2のチップ・キャリア構造体の上表面の上面図である。

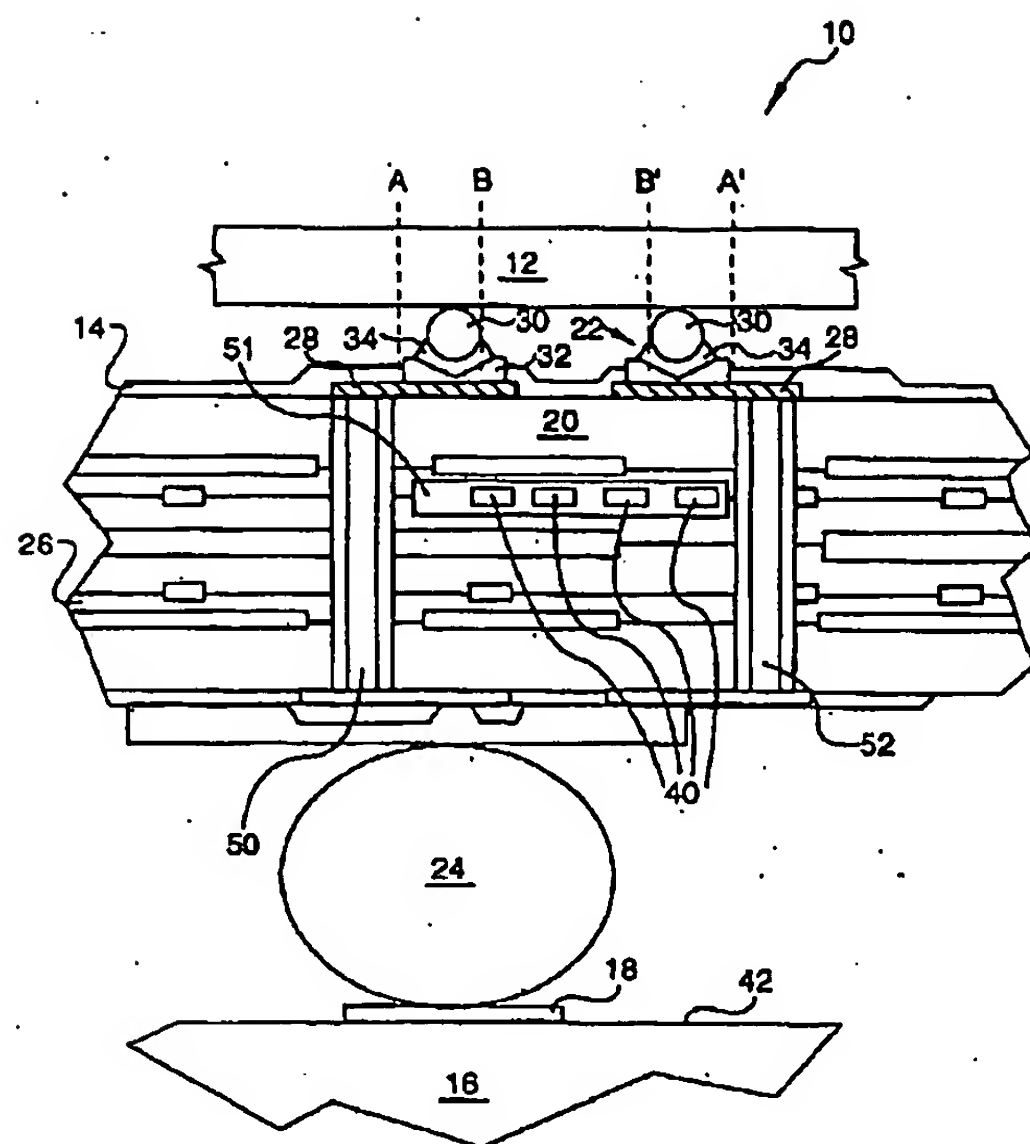
【符号の説明】

12…半導体チップ、14…チップ・キャリア、16…回路形成した基板、18…導電性パッド、20…多層相互接続構造体、22…マイクロバイア、24…はんだボール、26…内部信号層、28…導電性コネクタ、30…コンタクト部材、32…コンタクト・パッド、34…導電性材料の層（はんだ接続）、40…信号トレース、42…第1の表面、50…スルーホール（すなわちスルーバイア）、51…配線チャンネル、52…スルーホール（すなわちスルーバイア）、54…様式、56…様式。

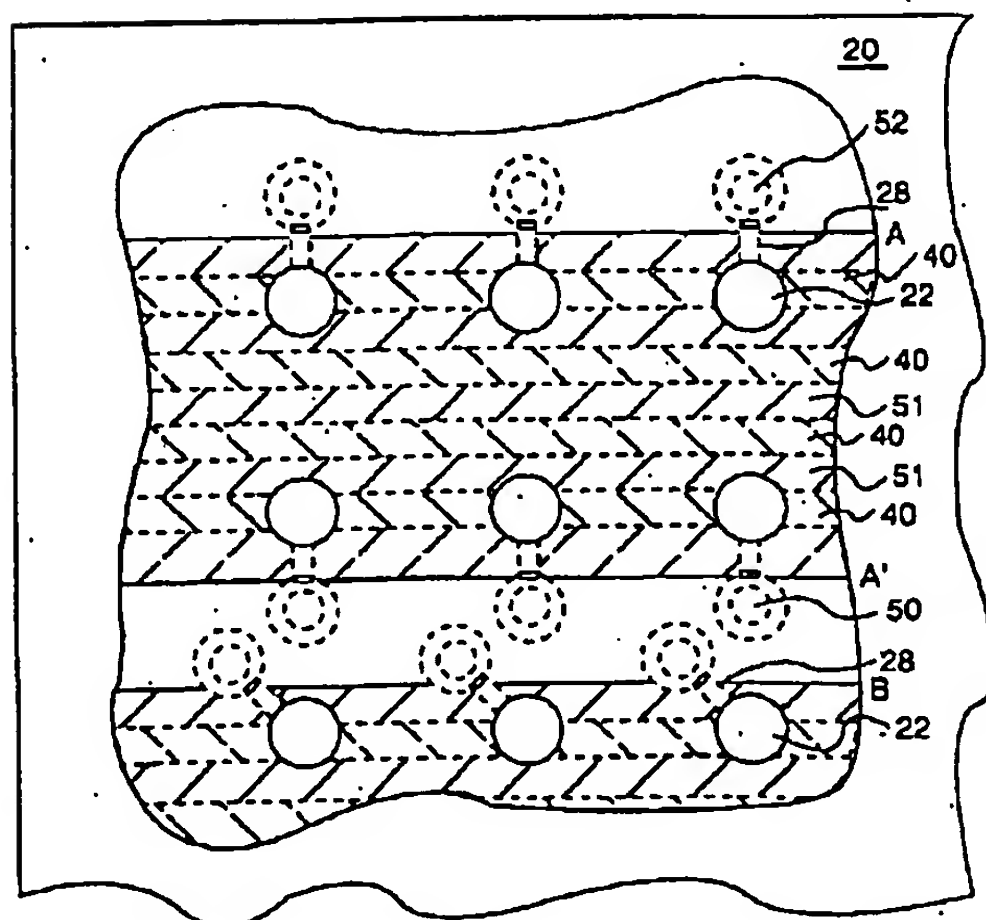
【図1】



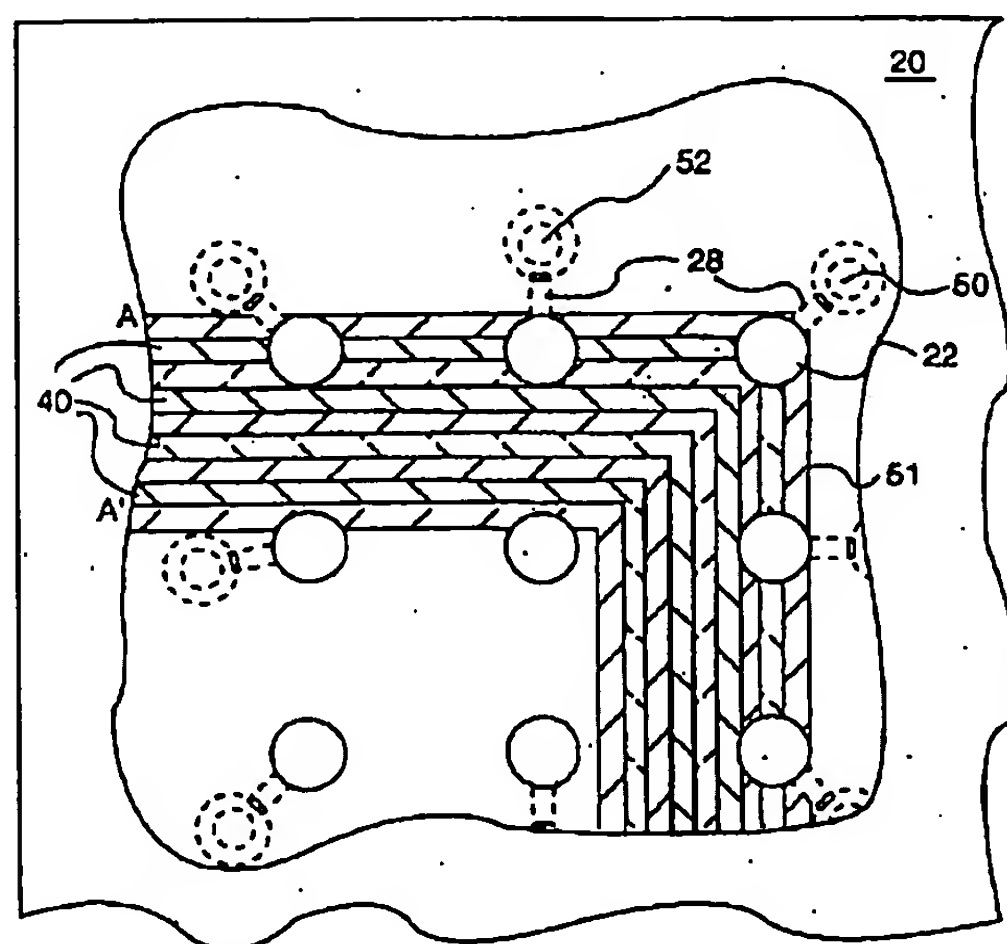
【図2】



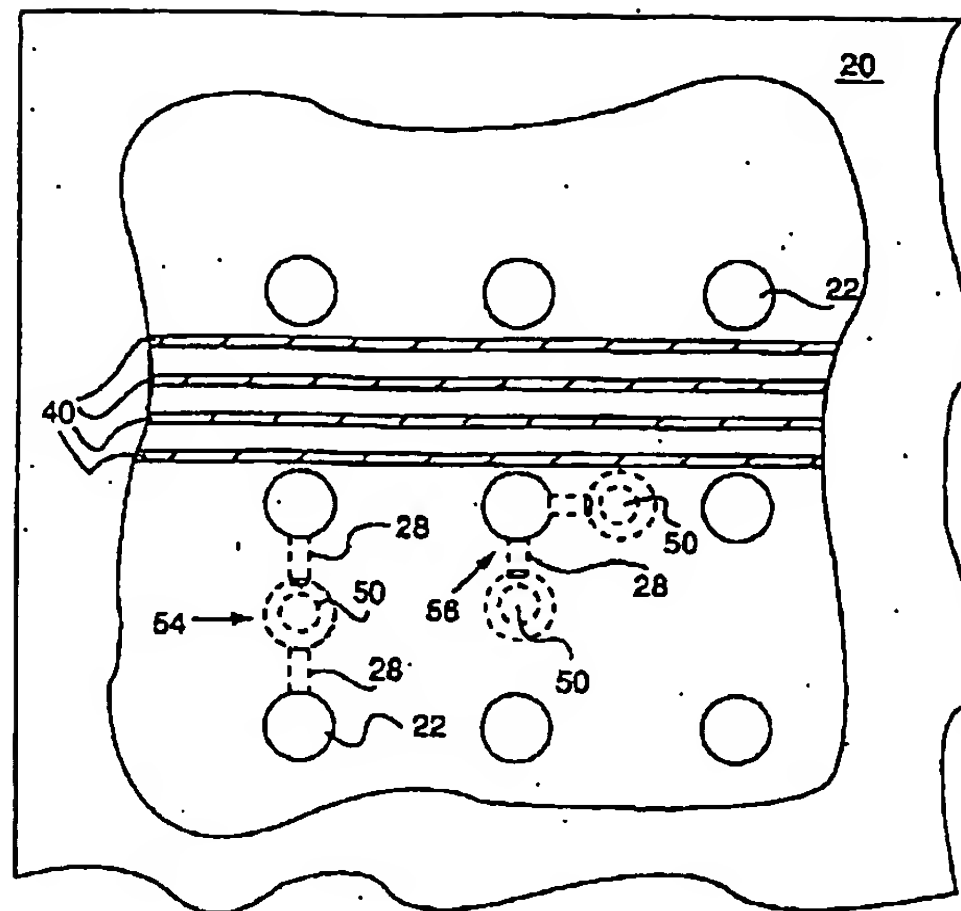
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 トッド・ダブリュー・デーヴィス
アメリカ合衆国 ニューヨーク州 13850、
ヴェスタル、ウィナンス アヴェニュー
404

(72)発明者 ロス・ダブリュー・キースラー
アメリカ合衆国 ニューヨーク州 13760、
エンディコット、マンスフィールド ドラ
イブ 8

(72)発明者 ロバート・ディー・セベスタ
アメリカ合衆国 ニューヨーク州 13760、
エンディコット、カール ストリート
607

(72)発明者 デーヴィッド・ビー・ストーン
アメリカ合衆国 ヴァーモント州 05403、
バーリントン、スロカム ストリート 1

(72)発明者 シェリル・エル・ティトラー・パロマキ
アメリカ合衆国 ニューヨーク州 13760、
エンディコット、ロンドン レーン 24